

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 02-240942

(43)Date of publication of application : 25.09.1990

(51)Int.Cl.

H01L 21/60

(21)Application number : 01-061722

(71)Applicant : SHARP CORP

(22)Date of filing : 14.03.1989

(72)Inventor : INADA KIYOSHI  
SATOU TOMOTOSHI  
YOSHIDA YUICHI

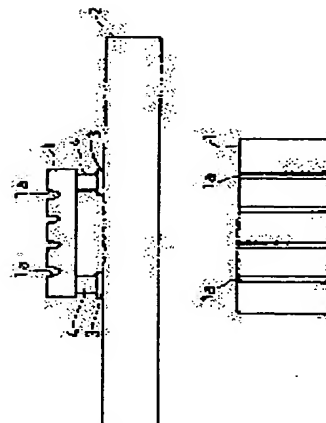
## (54) SEMICONDUCTOR DEVICE

## (57)Abstract:

**PURPOSE:** To reduce the stiffness of a semiconductor device and to relax the concentration of stress occurring in a part of connection by forming a plurality of grooves on the reverse side at a prescribed interval.

**CONSTITUTION:** A silicon large-scale integrated circuit 1 as a semiconductor device is shaped in a rectangular plate and has a construction wherein a plurality of half-gable-shaped grooves 1a are cut on the reverse side thereof. These grooves 1a are formed in parallel and at a prescribed interval in the direction intersecting the longitudinal direction of an Si chip 1 perpendicularly, while projecting electrodes 4 are formed on the surface of the Si chip 1. On the surface of a circuit board 2, on the other side, leads 3 are provided in projection at positions corresponding to the projecting electrodes 4 when the Si chip 1 is bonded by a facedown method.

These leads 3 are formed in the shape of a thin film by using a composite conductive material such as ITO (Indium-Tin- Oxide). According to this constitution, it is possible to reduce the stiffness of the semiconductor device and to relax reliably the concentration of stress occurring in a part of connection.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision]

**THIS PAGE BLANK (USPTO)**

⑫ 公開特許公報(A)

平2-240942

⑬ Int. Cl.<sup>3</sup>  
H 01 L 21/60

識別記号 庁内整理番号  
3 1 1 S 6918-5F

⑭ 公開 平成2年(1990)9月25日

審査請求 未請求 請求項の数 1 (全4頁)

⑮ 発明の名称 半導体装置

⑯ 特 願 平1-61722

⑰ 出 願 平1(1989)3月14日

⑱ 発 明 者 稲 田 紀 世 史 大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社  
内

⑱ 発 明 者 佐 藤 知 稔 大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社  
内

⑱ 発 明 者 吉 田 裕 一 大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社  
内

⑲ 出 願 人 シャープ株式会社 大阪府大阪市阿倍野区長池町22番22号

⑳ 代 理 人 弁理士 原 謙 三

明 細 書

1. 発明の名称

半導体装置

2. 特許請求の範囲

1. フェースダウン方式により回路基板上にボンディングする半導体装置において、

裏面に複数の溝が所定の間隔で形成されていることを特徴とする半導体装置。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は、フェースダウン方式によりボンディングする半導体装置に関するものである。

(従来の技術)

回路基板上に半導体装置をフェースダウン方式でボンディングする場合、ボンディング方式としては、フリップチップ方式やビームリード方式等が知られている。これらのボンディング方式を説明すると以下の通りである。

フリップチップ方式は、予め半導体チップの電

極部にはんだパンプを形成しておき、予備はんだした回路基板の導体部に、フェースダウンではんだ付けする方式である。また、ビームリード方式は、半導体製造工程におけるウエハ段階で、微細なAu(金)のビーム状のリードを半導体チップの電極部に形成しておき、これをフェースダウンで回路基板上のAu導体パターンに位置合わせして熱圧着する方法である。

以上のような半導体装置において、周囲温度が変化すると回路基板と半導体装置の熱膨張係数が互いに異なるために応力集中が接続部に生じ、接続不良の発生や信頼性の低下の主原因になっている。そこで、従来はこれらの問題点に対し下記に示すような対策が施されている。

- (1) 半導体装置と熱膨張係数の差が小さい材質の回路基板を使用する。
- (2) 接続部に生じる応力集中を緩和する手段を設ける。
- (3) 樹脂等で応力集中の生じる接続部を補強する。

ここで、上記(2)について説明すると下記の通りである。

第5図に示すように、S1チップ11の表面の電極部14と回路基板12の表面に突設されたリード13…とが応力集中緩和リード16…により接続されている。この結果、周囲温度が変化しても、S1チップ11と回路基板12との接続部である応力集中緩和リード16…が応力集中を緩和させるので、接続不良の発生や信頼性の低下を防止することが可能である。

#### 〔発明が解決しようとする課題〕

ところが、上記従来の実装構造では、下記に示すような各種の問題点を有している。

即ち、上記(1)では、確実に接続部に生じる応力集中は軽減できるが、使用する回路基板の材質が制限され、それに伴って汎用性がなくなりコスト高になる。

また、上記(2)では、半導体装置の端子数が増加し端子配列が微小ピッチになると、リード16…を設けることが事実上困難になり、非常にコ

スト高になる。この傾向は、半導体装置が大型化されるに伴い顕著になる。

一方、上記(3)は、最も容易に実施可能であるが、課題を本質的に解決するものではなく、かつ、樹脂の選定が非常に難しい。

#### 〔課題を解決するための手段〕

本発明に係る半導体装置は、上記課題を解決するために、フェースダウン方式により回路基板上にボンディングする半導体装置において、裏面に複数の溝が所定の間隔で形成されていることを特徴としている。

#### 〔作用〕

上記の構成により、フェースダウン方式により半導体装置が回路基板にボンディングされた後に、周囲温度が変化して上記の半導体装置と回路基板とがそれぞれの熱膨張係数に従って膨張して歪みを生じても、上記所定の間隔で形成されている複数の溝が半導体装置の剛性を低下させ、接続部に生じる応力集中を確実に緩和することができ、これに伴い接続不良の減少および信頼性の向上を

計ることが確実にできる。

#### 〔実施例〕

本発明の一実施例を第1図および第2図に基づいて説明すれば、以下の通りである。

第1図に示すように、半導体装置としてのシリコン大規模集積回路（以下、S1チップと称す）1は、長方形の板状を成し、その裏面に複数の半切妻状の溝1a…を刻設した構成になっている。

この溝1a…は、第2図に示すようにS1チップ1の長手方向に対して直交する方向に、所定の間隔をおいて平行に形成されている。本実施例でのS1チップ1の形状は、長辺10mm、短辺6mm、の長方形で、厚みは0.53mmであり、表面には突起電極4…が形成されている。

一方、回路基板2の表面には、S1チップ1がフェースダウン方式によりボンディングされる時に、リード3…が上記の突起電極4…と対応する位置に突設されている。このリード3…は、ITO(Indium-Tin-Oxide)等の複合導電材料を使用して薄膜状に形成されている。

また、回路基板2は、本実施例では一般的なソーダガラスの材質のものを使用しているが、ガラス以外のセラミックやガラスエポキシ系等の材質のものも使用可能である。

上記のS1チップ1の表面に突設されている突起電極4…と回路基板2上に突設されているリード3…とは、図示しない導電性樹脂ペーストによりボンディングされている。ボンディング剤としては導電性樹脂ペースト以外に異方性導電膜、UV硬化形樹脂等も使用することができる。尚、導電性樹脂ペーストの硬化は、100～150℃に加熱して行われる。

上記の構成において、回路基板2上にS1チップ1をフェースダウン方式にてボンディングする場合、S1チップ1の突起電極4…と回路基板2のリード3…とが導電性樹脂ペーストによりボンディングされる。

このような半導体装置において、その周囲温度が変化した場合、ソーダガラス製の回路基板2は、その線膨張係数(約 $8 \times 10^{-6}/^{\circ}\text{C}$ )に基づい

て熱的に膨張し、一方S iチップ1は、その線膨張係数(約 $2.4 \times 10^{-6}/^{\circ}\text{C}$ )に基づいて膨張する。即ち、周囲温度が変化した場合、S iチップ1と回路基板2との間には非常に大きな熱膨張係数の差により歪みが生じる。この歪みにより、リード3…と突起電極4…との接続部に応力集中が生じる。しかし、本実施例においては、半切妻状の溝1 a…によりS iチップ1の剛性が低下しているため、接続部に生じる応力集中が大幅に緩和され軽減される。

上記の特性を確認するために、導電性樹脂ペースト硬化後の接触抵抗値の測定により接続部の接続状態を評価した。その結果、溝1 a…のない場合はS iチップの中央からの距離が遠いほど接触抵抗値が大きくなる傾向がある。これに対して、本実施例のS iチップ1の場合、即ち溝1 a…が裏面に形成されている場合は、この傾向が大幅に軽減され、接触抵抗値はS iチップの中央からの距離に関係なくほぼ一定になり、応力集中が確実に緩和されていることがわかった。さらに、信頼

性検査の結果においても、顕著にその信頼性が向上しているのがわかった。

ところで、本実施例では半導体装置としてS iチップを回路基板上にフェースダウン方式でボンディングする場合について説明しているが、S iチップに限定されるものではなく、他の4族半導体や化合物半導体(3-5族および2-6族化合物半導体等)等にも適用可能であると共に、S iチップ1の裏面に形成された溝の形状・深さ・ピッチ等も本実施例に示したものに限定されるものではない。また、液晶表示装置等の平板ディスプレイの実装にも適用可能である。

尚、溝1 a…はS iチップの形状に応じて、その形状を形成することができる。例えば第3図に示すように、正方形に近い板状を成すS iチップ21のような場合、溝21 a…が格子状に所定の間隔をおいて形成される。また、第4図に示すように、細長い板状を成すアスペクト比の大きいS iチップ31のような場合、溝31 a…が長手方向に対して直交する方向に、所定の間隔をおいて

平行に形成される。

#### (発明の効果)

本発明に係る半導体装置は、以上のように、フェースダウン方式により回路基板上にボンディングする半導体装置において、裏面に複数の溝が所定の間隔で形成されている構成である。

これにより、裏面に形成された複数の溝が半導体装置の剛性を低下させ、接続部に生じる応力集中を確実に緩和することができる。これに伴い接続不良の減少および信頼性の向上を計ることが可能となる等の効果を併せて奏する。

#### 4. 図面の簡単な説明

第1図および第2図は本発明の一実施例を示すものであって、第1図は回路基板上にS iチップをフェースダウン方式でボンディングした状態を示す正面図、第2図は溝の形成状態を示す平面図、第3図は他の実施例を示すものであって、正方形に近い板状を成すS iチップの溝の形成状態を示す平面図、第4図はその他の実施例を示すものであって、細長い板状を成すアスペクト比の大き

いS iチップの溝の形成状態を示す平面図、第5図は従来例を示すものであって、S iチップをフェースダウン方式により回路基板上にボンディングした状態を示す正面図である。

1・21・31はS iチップ(半導体装置)、2は回路基板、3…はリード、4…は配線用電極、1 a…・21 a…・31 a…は溝である。

特許出願人

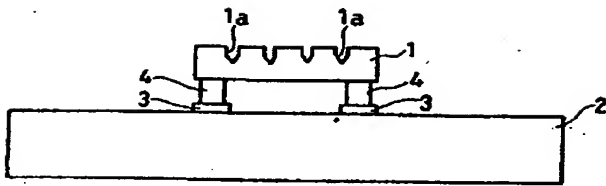
シャープ 株式会社

代理人 弁理士

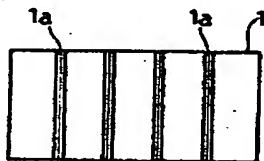
原 謙



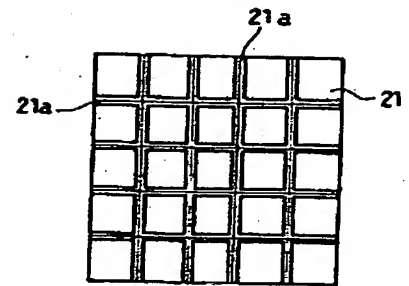
第 1 図



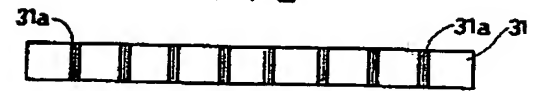
第 2 図



第 3 図



第 4 図



第 5 図

